

УДК 621.385.69

НВЧ – перетворювач із запам'ятовуваними компонентами та оцінка фазових шумів

Іченський В.С., Грамарчук Ю.О., к.т.н., доц. Кобак М.М.

Відомо, що для створення сучасного синтезатора частоти, їх мають задовольняти деякі вимоги, а саме:

- широкий діапазон генеруємих частот з малим кроком переналаштування;
- низький рівень фазового шуму та побічних спектральних складових;
- висока швидкість переналаштування частот[1].

Останній параметр є критично – важливим у відношенні до поступового зменшення розмірів виконання пристроїв генерації та вимог до енергоефективності та енергозбереження. Окрім того компонентна база дозволяє інтегрувати декілька модулів пристрою в межах однієї мікросхеми, що дозволяє використовувати готовий синтезатор частот у більшій області наукових досліджень.

Швидкодія пристрою генерування частот залежить також від структурного блоку перетворювача частот, що відповідає за запам'ятовування динамічних параметрів, від яких залежить якість та швидкість відтворення інформації, а саме час, форма, частота коливаль,

рівні шумів у робочому стані та інш. Технічним результатом має бути підвищення точності установки вихідної потужності радіо перетворюючого пристрою. Підвищення точності може бути реалізоване за рахунок можливості програмного коригування фазо-частотної модуляції НВЧ – сигналів для кожного значення величини необхідної вихідної частоти. Тобто зміна вихідної частоти синтезатора частоти у складі приймально – перетворювального блоку реалізується за рахунок перепрограмування запам'ятовуючого пристрою, розряди вихідної шини якого під'єднані до входів відповідних ключів.

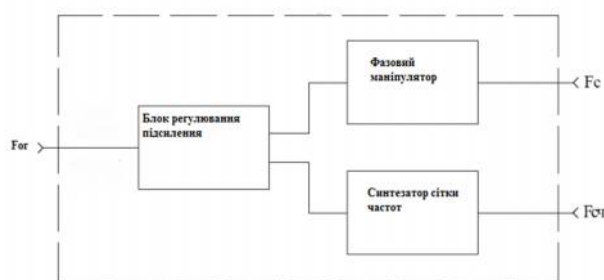


Рис. 1. Функціональна схема синтезатора частот

Цифровий синтезатор частоти зазвичай складається з трьох основних функціональних частин: блок регулювання підсилення, синтезатор

сітки частот та фазоформував (Рис. 1.).

Блок автоматичного регулювання підсилення реалізується із застосуванням керуємого коефіцієнту підсилення і використовується для підтримання потужності еталонного сигналу на входах фазоформувача (фазового маніпулятора, фазообертача) та синтезатора сітки частот, оскільки потужність еталонного сигналу задавального генератора може коливатись. Для керування блоку між виходом та портом підсилення додається амплітудний детектор.

Фазовий маніпулятор змінює фазу гармонічного сигналу на 180° . Фазокодомодульований сигнал передається на атенюатор та фіксований підсилювач, які формують необхідну потужність сигналу на виході фазового маніпулятора. Фільтр нижніх частот прибирає зайві високі гармонічні складові (Рис. 2).



Рис. 2. Фазовий маніпулятор

Синтезатор сітки частот зазвичай прийнято застосовувати у вигляді прямого цифрового синтезатора. Він формує необхідні частоти для використання при змішуванні різних частот приймально-перетворювального блоку (Рис. 3).

При розробці синтезатора важливим є те, що опорна частота має бути обраною таким чином, щоб не допустити впливу побічних

спектральних складових на тактову частоту після фільтрації сигналу. Найкраще з цим явищем справляється синтезатор, побудований за методом прямого цифрового синтезу (Рис. 4).

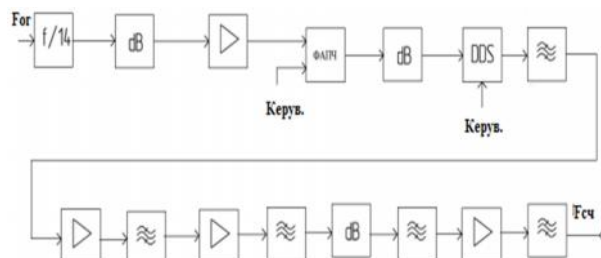


Рис. 3. Синтезатор сітки частот

Синтезатори прямого цифрового синтезу (direct digital synthesis, DDS) можуть компенсувати це явище, окрім того в таких синтезаторах цифрові функціональні блоки додаються порівняно легко узгоджено до основних, з метою розширення можливостей та набору функцій синтезатора.

В основу дослідження покладено задачу вдосконалення синтезатора частоти, що реалізовано шляхом підвищення швидкодії обробки сигналів за рахунок зменшення кількості компонентів моделі. Поставлена задача вирішується тим, що синтезатор з цифровим процесом частотного циклу містить подільники частоти, модулі пам'яті, процесор, генератор керований напругою, цифро-аналоговий перетворювач. Також синтезатор додатково містить цифровий модуль запам'ятовування параметрів, який введено в канал перетворення частоти між вихідними каналами та цифро-аналоговим перетворювачем[2].

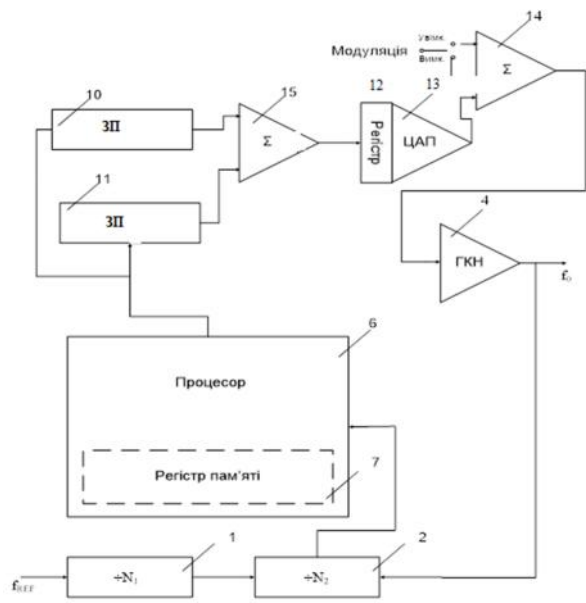


Рис. 4. DDS синтезатор з модулем запам'ятовування

Синтезатор частоти працює наступним чином. Високостабільна опорна частота подається на один з входів фазового детектора 2 або через подільник частоти 1, який виділяє частоту нижче опорної, перш ніж вона потрапляє на вхід фазового детектора 2. Інша частота, яка генерується з ГКН 4 синтезатора частоти, менша за опорну, з виходу подільника частоти 5 подається на інший вхід фазового детектора 2. Функція фазового детектора 2 - генерувати напругу в кількості, пропорційній кількості різниці фаз між двома входами фазового детектора 2, коли опорна частота збільшується чи зменшується. Напруга, що генерується, проходить через фільтр низьких частот (ФНЧ) накачки заряду 3, щоб налаштувати ГКН 4 на генерацію частот, що надходять на вхід фазового детектора 2. В результаті, вихідну частоту ГКН 4 фіксують на величині опорної частоти. Фазовий детектор 2 не має вихідної

напруги, коли два сигнали збігаються за фазою. Він спирається на ФНЧ накачки заряду 3 для підтримки вхідної напруги ГКН 4.

Накачка заряду 3 втрачає свою напругу через струм витoku, що керує ГКН 4, щоб змінити його частоту доки різниця фаз є достатньою для фазового детектора 3, для початку генерування відповідної напруги накачки заряду 3, щоб подати її на орієнтовну частоту. Подільник $N \div 2$ 2 виділяє вихідну частоту ГКН 4. Після того як від подільника $N \div 1$ 1 надходять сигнали «1» або «0» по відношенню до $f_{оп}$, подільник $N \div 2$ 2 коригує вихідну частоту досить точно. Виміряна частота надходить в процесор 6.

Значення цільової частоти запрограмованої в регістр зберігання 12 і передаються на ЦАП регістр тимчасового зберігання 13. Поки ЦАП в регістрі зберігання 12 знаходиться в режимі очікування, вихідні дані ЦАП в регістрі зберігання 13 не будуть змінюватися. Значення частоти записується в регістр ЦАП для управління ГКН 4, що близька до заданої частоти системи. Після встановлення роботи ГКН 4, подільник частоти $N \div 2$ починає виділяти вихідну частоту ГКН. Якщо подільник частоти $N \div 2$ не збігається із значенням у встановлений регістр зберігання, до ЦАП надійде нове значення від системи і подільник $N \div 2$ повторюватиме процес вимірювання, поки дані подільника $N \div 2$ не будуть збігатися з регістром зберігання. Це значення в регістрі ЦАП зчитується і потім зберігається у модулі пам'яті

10,11 зі значенням в реєстрі зберігання 7 в якості адреси пам'яті.

Тактовий сигнал є основним джерелом фазового шуму синтезатора. Не дивлячись на це, ефект фазового шуму знижується в результаті ділення тактової частоти в процесі роботи блоку прямого цифрового синтезу. Найчастіше це значення обмежене шумовим порогом мікросхеми DDS. Типовим значенням для власного фазового шуму DDS є значення -130дБн/Гц при відстройці 1кГц . Якщо джерело тактового сигналу буде мати фазові шуми менші цього рівня, то на виході DDS все одно буде збережено типове значення.

Такий синтезатор дозволяє збільшити швидкість формування сигналів, оскільки модифікація дозволила зменшити кількість компонентів, що необхідні для генерації вихідних коливань ГКН. Зменшення часу проходження інформаційних сигналів дозволяє підвищити швидкість обміну сигналами між компонентами усієї моделі.

Висновки

DDS синтезатори використовуються для таких напрямків, як побудова систем зв'язку, у яких вимагається миттєве переключення частоти та для джерел сигналу з низьким рівнем спектральної щільності потужності фазового шуму для використання у якості опорного сигналу змішування. Прямий цифровий синтез дозволяє легко виконувати різноманітні види модуляції сигналів.

Література

1. Ченакін О., Малогабаритний синтезатор частот з високою швидкістю пере налаштування та чистим сигналом, Компоненти та технології, 2011 р., с. 114
2. Патент МПК (2015.01) H03B19/00, Синтезатор з цифровим процесом частотного циклу, 2015 р.